



KAWASAKI

U. S. Application No. 10/657,236

Our Ref. 8001-1171

Record of the Examination Results relating to Documents of the Prior Art

- Examined Technical Field: IPC 7th Edition

H01L27/14-148

Documents of the Prior Art

Japanese Laid-Open Patent Publication H5-29598

Japanese Laid-Open Patent Publication 2000-196060

The record of the examination results relating to documents of the prior art does not constitute the grounds for rejection.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-29598

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.⁵

H 0 1 L 27/148

識別記号

庁内整理番号

F I

技術表示箇所

8223-4M

H 0 1 L 27/ 14

B

審査請求 未請求 請求項の数2(全16頁)

(21)出願番号

特願平3-179212

(22)出願日

平成3年(1991)7月19日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 田中 治彦

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 中井 正章

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 固体撮像素子

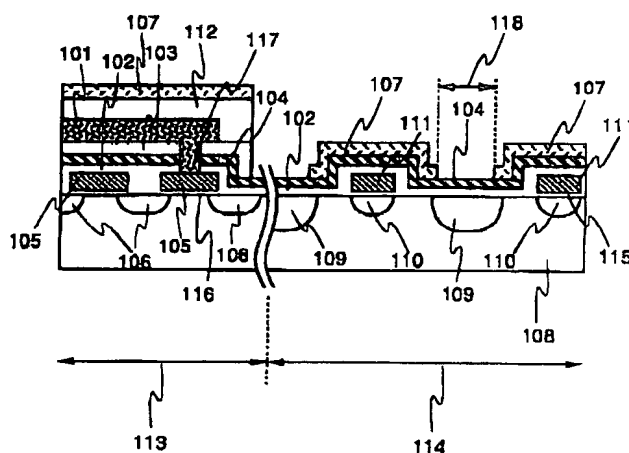
(57)【要約】

【目的】固体撮像素子において、周辺回路の低寄生容量と高い信頼性を持つ配線形成とを実現しながら、スミアを抑圧する。

【構成】配線導電膜101と遮光導電膜107とを別の層で形成する。また、層間絶縁膜102、103の間にエッチングストッパーとなる層104を設け、画素領域114内で層間絶縁膜103、112を除去する一方、周辺回路領域113では層間絶縁膜103を残して厚くする。

【効果】配線導電膜101と遮光導電膜107とにそれぞれ最適材料を使える。また、遮光導電膜107の端部と半導体基板108の表面との間の距離をを小さくすると共に、周辺回路領域113の層間絶縁膜厚を厚くし、かつ平坦化処理を十分に行なうことにより、スミアの抑圧と寄生容量が小さく断線やショートのない配線形成とを両立できる。

(図1)



1

【特許請求の範囲】

【請求項1】入射光を光電変換して信号電荷を作り出す複数の受光蓄積部と、該信号電荷を転送する転送部と、該信号電荷を検出し増幅する回路とを半導体基板上に設けた固体撮像素子において、

(a) 全てのゲート電極よりも上層でかつ配線導電膜と遮光導電膜の双方よりも下層、又は全てのゲート電極よりも上層でかつ遮光と配線とを兼ねた導電膜よりも下層、
(b) 全てのゲート電極及び配線導電膜よりも上層でかつ遮光導電膜よりも下層、のいずれかを満たすような領域に窒化シリコン膜または多結晶シリコン膜が存在し、かつ該窒化シリコン膜または多結晶シリコン膜の上層に存在する層間絶縁膜がシリコン酸化膜を含み、かつ該窒化シリコン膜または多結晶シリコン膜の直上の層がシリコン酸化膜であることを特徴とする固体撮像素子。

【請求項2】半導体基板上に、少なくとも、

(1) 入射光を光電変換して信号電荷を作り出す複数の受光蓄積部

(2) 該信号電荷の転送部

(3) 該信号電荷の検出及び増幅回路

の3つを備えた固体撮像素子の製造方法において、以下の(c)－(g)又は(h)－(k)又は(1)－(o)のいずれか一組の工程を含むことを特徴とする固体撮像素子の製造方法。

(c) 全てのゲート電極より上層に窒化シリコン膜または多結晶シリコン膜を被着する工程。

(d) (c) の窒化シリコン膜または多結晶シリコン膜の直上にシリコン酸化膜を堆積する工程。

(e) (c) の窒化シリコン膜または多結晶シリコン膜よりも上層に配線導電膜を形成する工程。

(f) 少なくとも該受光蓄積部の全てもしくはその一部の領域において、(c) の窒化シリコン膜または多結晶シリコン膜をエッチングストッパーとして、該窒化シリコン膜または多結晶シリコン膜の上層に存在し、かつ該窒化シリコン膜または多結晶シリコン膜の直上にシリコン酸化膜を存在させた層間絶縁膜をエッチして全て除去する工程。

(g) (f) の後で、遮光導電膜を形成する工程。

(h) 全てのゲート電極及び全ての配線導電膜より上層に窒化シリコン膜または多結晶シリコン膜を被着する工程。

(i) (h) の窒化シリコン膜または多結晶シリコン膜の直上にシリコン酸化膜を堆積する工程。

(j) 少なくとも該受光蓄積部の全てもしくはその一部の領域において、(h) の窒化シリコン膜または多結晶シリコン膜をエッチングストッパーとして、該窒化シリコン膜または多結晶シリコン膜の上層に存在し、かつ該窒化シリコン膜または多結晶シリコン膜の直上にシリコン酸化膜を存在させた層間絶縁膜をエッチして全て除去する工程。

(k) (j) の後で、遮光導電膜を形成する工程。

(2)

特開平5-29598

2

(1) 全てのゲート電極よりも上層に窒化シリコン膜または多結晶シリコン膜を被着する工程。

(m) (1) の窒化シリコン膜または多結晶シリコン膜の直上にシリコン酸化膜を堆積する工程。

(n) 少なくとも該受光蓄積部の全てもしくはその一部の領域において、(1) の窒化シリコン膜または多結晶シリコン膜をエッチングストッパーとして、該窒化シリコン膜または多結晶シリコン膜の上層に存在し、かつ該窒化シリコン膜または多結晶シリコン膜の直上にシリコン酸化膜を存在させた層間絶縁膜をエッチして全て除去する工程。

(o) (n) の後で、遮光と配線とを兼ねた導電膜を形成する工程。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、固体撮像素子の特性のうち、スミアが非常に小さい固体撮像素子を実現する素子構造及びその製造方法を提供するものである。また、高速駆動を必要とする高精細対応の固体撮像素子や、撮像機能を有する回路とその駆動回路や信号処理回路とをひとつの素子内に備えた固体撮像素子に対しても有効である。

【0002】

【従来の技術】固体撮像素子の問題点の一つにスミアがある。これは、高輝度被写体を撮像した時に被写体の上下垂直方向に白い帯状の偽信号が現われる現象である。このようなスミアを抑圧するための従来技術の一例として、特開昭61-24273号公報に記載の固体撮像素子の画素部分の断面図を図2に示す。一般に、撮像素子への入射光は、半導体基板に対し垂直に入射するばかりではなく斜めに入射する成分を有するが、斜めに入射した光の場合、垂直CCDを覆う遮光膜202とシリコン基板210の表面との間で多重反射を起こしながら熱酸化膜201中を進み、垂直CCDの転送チャネルとなる埋め込み層205に直接到達することがある。このような光によって生じた電荷は、スミアの大きな原因となる。この従来例では、遮光膜202の端部の下の熱酸化膜201を薄くして、遮光膜202の端部の少なくとも一部とシリコン基板210の表面とのあいだの距離209を500nm以下に、望ましくは160nm以下になるようにすることにより、遮光膜202とシリコン基板210の表面との間を多重反射しながら侵入する光を抑制し、スミアの発生を防止している。

【0003】

【発明が解決しようとする課題】前記従来例においては、層間絶縁膜厚を小さくすることによって、スミアの発生を防止を図っているが、実際の撮像素子に適用する上では以下のような問題点の解決が必要である。

【0004】第一に、配線導電膜と遮光導電膜とでは最適な材料が異なる。例えば、この種の材料として最も一

3

一般的なA1においては、配線導電膜材料としてSiを含んだA1が用いられるが、遮光導電膜材料としてはSiを含まないA1の方が適している。これは、A1中に折出したSiが光の通過路となるため、純粋なA1の方が光の透過率が小さいためである。

【0005】第二に、配線導電膜と遮光導電膜とでは、層間絶縁膜に対する要求も異なる。まず、従来例にも示されているように、遮光導電膜下の層間絶縁膜はスミア防止のため十分に薄くなっていなければならない。また、図3に示すように、垂直CCDのゲート電極301近傍の層間絶縁膜、すなわち遮光導電膜302の端部下の層間絶縁膜303の膜厚は、層間絶縁膜の平坦化处理無しするとき(図3(a))の膜厚306に比べ、平坦化处理を行なったとき(図3(b))の膜厚307の方が大きくなり、スミアの抑圧が困難になってしまう。このため、遮光導電膜の存在している領域では層間絶縁膜の平坦化を極力避けなければならない。

【0006】一方、配線導電膜下の層間絶縁膜は、コンタクトホール形成に支障のない範囲で十分に厚くする必要がある。なぜなら、もしも層間絶縁膜が薄い場合、ゲート電極と配線導電膜との間の容量が大きくなるため、垂直CCDのおよそ1000倍程度の高速転送を必要とする水平CCDの駆動を行うことが困難になったり、高速度駆動時の消費電力や発熱が増大するからである。また、出力アンプの寄生容量も増大するため、ランダム雑音増加による撮像素子のS/N比低下などの問題が生じる。これらの問題は、NTSC素子の数倍の高速転送と周波数帯域幅を必要とする高精細対応の撮像素子において顕著となる。さらに、配線導電膜の存在している領域では、配線同士のショートやマイグレーションによる断線を防止するために、配線下の層間絶縁膜は十分に平坦化されなくてはならない。この要求は、撮像素子上にその駆動回路を設けたり、あるいは画像信号を処理する回路(たとえばA/D変換回路、画像信号中のエッジを検出する回路など)を作ることにより、受光部以外の回路規模が大きくなり配線領域が増加するにつれて重要なものとなってくる。

【0007】以上をまとめると、

(1) 配線導電膜と遮光導電膜とに異なる材料を使用する。

【0008】(2) 配線導電膜下の層間絶縁膜は十分に厚くかつ平坦化され、遮光導電膜下の層間絶縁膜は十分に薄くかつ平坦化されていない状態にする。

【0009】という要求を少なくとも一つ以上満たし得る素子構造、製造方法である必要がある。しかるに、前記従来例はこのような点に関する配慮が十分ではなかった。

【0010】

【課題を解決するための手段】上記の技術課題を解決するためには、次のようにすればよい。すなわち、半導体

(3)

特開平5-29598

4

基板上に、少なくとも、

(1) 入射光を光電変換して信号電荷を作り出す複数の受光蓄積部

(2) 該信号電荷の転送部

(3) 該信号電荷の検出及び増幅回路

の3つを備えた固体撮像素子において、

(a) 全てのゲート電極よりも上層でかつ配線導電膜と遮光導電膜の双方よりも下層、又は全てのゲート電極よりも上層でかつ遮光と配線とを兼ねた導電膜よりも下層。

10 【0011】(b) 全てのゲート電極及び配線導電膜よりも上層でかつ遮光導電膜よりも下層のいずれかを満たすような領域に窒化シリコンまたは多結晶シリコン膜が存在し、かつ該窒化シリコン膜または多結晶シリコン膜の上層に存在する層間絶縁膜がシリコン酸化膜を含み、かつ該窒化シリコン膜または多結晶シリコン膜の直上の層がシリコン酸化膜であるようにするか、もしくは、前記3つの要素を備えた固体撮像素子の製造方法において、
(イ) 全てのゲート電極より上層に窒化シリコン膜または多結晶シリコン膜を被着する工程。

20 【0012】(ロ)(イ)の窒化シリコン膜または多結晶シリコン膜の直上にシリコン酸化膜を堆積する工程。

【0013】(ハ)(イ)の窒化シリコン膜または多結晶シリコン膜よりも上層に配線導電膜を形成する工程。

【0014】(ニ)少なくとも該受光蓄積部の全てもしくはその一部の領域において、(イ)の窒化シリコン膜または多結晶シリコン膜をエッチングストッパーとして、該窒化シリコン膜または多結晶シリコン膜の上層に存在し、かつ該窒化シリコン膜または多結晶シリコン膜の直上にシリコン酸化膜を存在させた層間絶縁膜をエッチして全て除去する工程。

30 【0015】(ホ)(ニ)の後で、遮光導電膜を形成する工程。

【0016】(ヘ)全てのゲート電極及び全ての配線導電膜より上層に窒化シリコン膜または多結晶シリコン膜を被着する工程。

【0017】(ト)(ヘ)の窒化シリコン膜または多結晶シリコン膜の直上にシリコン酸化膜を堆積する工程。

【0018】(チ)少なくとも該受光蓄積部の全てもしくはその一部の領域において、(ヘ)の窒化シリコン膜または多結晶シリコン膜をエッチングストッパーとして、該窒化シリコン膜または多結晶シリコン膜の上層に存在し、かつ該窒化シリコン膜または多結晶シリコン膜の直上にシリコン酸化膜を存在させた層間絶縁膜をエッチして全て除去する工程。

【0019】(リ)(チ)の後で、遮光導電膜を形成する工程。

【0020】(ヌ)全てのゲート電極よりも上層に窒化シリコン膜または多結晶シリコン膜を被着する工程。

50 【0021】(ル)(ヌ)の窒化シリコン膜または多結晶シリコン膜の直上にシリコン酸化膜を堆積する工程。

5

【0022】(ヲ)少なくとも該受光蓄積部の全てもしくはその一部の領域において、(ヌ)の窒化シリコン膜または多結晶シリコン膜をエッチングストッパーとして、該窒化シリコン膜または多結晶シリコン膜の上層に存在し、かつ該窒化シリコン膜または多結晶シリコン膜の直上にシリコン酸化膜を存在させた層間絶縁膜をエッチして全て除去する工程。

【0023】(フ)(ヲ)の後で、遮光と配線とを兼ねた導電膜を形成する工程。

【0024】のうち、(イ)ー(ホ)又は(へ)ー(リ)又は(ヌ)ー(ヲ)のいずれか一組の工程を含むようにすれば良い。

【0025】

【作用】上記手段に基づく固体撮像素子においては、配線導電膜と遮光導電膜を別の層で作ることができるため、それぞれに対し最適な材料を用いることができ、スミアの少ない固体撮像素子を実現できる。また、受光蓄積部の全てもしくはその一部の領域において、窒化シリコン膜または多結晶シリコン膜をエッチングストッパーとして、該窒化シリコン膜または多結晶シリコン膜の上層に存在し、かつシリコン酸化膜を含む層間絶縁膜をエッチして全て除去する工程を含めることにより、遮光を必要とする領域に於ける遮光導電膜下の層間絶縁膜厚を小さくできるのに対し、それ以外の領域では配線導電膜下の層間絶縁膜厚を十分に大きくして配線導電膜とゲート電極との間の容量を小さくできると共に、平坦化処理を十分に行なうことができる。この結果、スミアを抑圧しつつ高速駆動や低雑音化を可能とし、しかも配線間のショートや断線を防止することができる。

【0026】

【実施例】以下、本発明の第1の実施例の断面図を図1に示す。この図では、第一導電型の半導体基板108の中に第二導電型の拡散層106、109、110が形成されており、拡散層106は、信号電荷の検出、増幅に必要なMOSトランジスタのソース或はドレイン、拡散層109は、入射光を光電変換して生じた信号電荷を蓄える受光蓄積部、拡散層110は信号電荷を転送する垂直転送CCDの転送チャネルとなる。更に、ゲート絶縁膜115を介して垂直転送CCDを駆動するゲート電極111があり、拡散層110とゲート電極111とで垂直転送CCDを構成する。また、ゲート絶縁膜116を介して信号電荷の検出、増幅を行なうためのMOSトランジスタのゲート電極105が形成されている。領域114は少なくとも受光蓄積部と垂直転送CCDとを含む画素領域を示し、領域113は、少なくとも信号電荷の検出及び増幅回路及び水平転送CCDを含む周辺回路領域を表す。ただし、水平転送CCDは図1の中では省略されている(以下の記述の中の周辺回路領域についても同様)。ゲート電極105、111の上には第1の層間絶縁膜102が堆積されており、更にその上層には窒化

(4)

特開平5-29598

6

シリコン膜又は多結晶シリコン膜104が堆積されている。周辺回路領域113においては、その上層に第2の層間絶縁膜103、配線導電膜101、第3の層間絶縁膜112、遮光導電膜107が形成され、配線導電膜101はコンタクトホール117を介してゲート電極105と電気的に接続されている。一方画素領域114においては、窒化シリコン膜又は多結晶シリコン膜104の直上に遮光導電膜107が形成され、垂直転送CCDを覆うと共に、受光蓄積部の開口領域118を規定している。

10

【0027】本実施例では、全てのゲート電極よりも上層でかつ配線導電膜と遮光導電膜の双方よりも下層に窒化シリコン膜または多結晶シリコン膜104を存在させており、この窒化シリコン膜または多結晶シリコン膜104をエッチングストッパーとして、窒化シリコン膜または多結晶シリコン膜104の上層に存在してシリコン酸化膜を含む層間絶縁膜を安定して取り除くことが可能となる。この結果、配線導電膜101と遮光導電膜107とを同じ層で形成した場合には、第2の層間絶縁膜103の分だけ、また、配線導電膜101と遮光導電膜107とを別の層で形成した場合、即ち、配線導電膜と遮光導電膜にそれぞれ最適な材料を用いたような場合には、第2の層間絶縁膜103の分と配線導電膜101と遮光導電膜107との間に形成する必要のある第3の層間絶縁膜112の分だけ遮光導電膜107の端部と半導体基板108の表面との間の膜厚を小さくすることができ、最終的に、遮光導電膜107の端部と半導体基板108の表面との間に存在する膜は第1の層間絶縁膜102と窒化シリコン膜または多結晶シリコン膜104のみとなる。このように、配線導電膜と遮光導電膜とを別の層で形成した場合でも遮光導電膜107の端部と半導体基板108の表面との間の間隔を充分小さくできるので、配線導電膜と遮光導電膜にそれぞれ最適な材料を用いることが可能となり、スミアの効果的な防止と、断線を起こしにくくしかも良好なコンタクト特性を持つ配線導電膜形成とを両立できる。

20

30

40

50

【0028】また、配線導電膜101と半導体基板108の表面又は配線導電膜101とゲート電極105との間の膜厚は、遮光導電膜107の端部と半導体基板108の表面との間の膜厚にくらべて第2の層間絶縁膜103の分だけ大きくなっており、画素領域114の遮光導電膜107の端部と半導体基板108の表面との間隔を小さくしてスミアを抑圧しながら、周辺回路領域113における配線導電膜101とゲート電極105や拡散層106との間の寄生容量を減らすことができる。

【0029】更には、第1の層間絶縁膜102に対しては平坦化処理を行わず、第2の層間絶縁膜103に対してのみ平坦化処理を行なうことにより、周辺回路領域113の配線導電膜101下の層間絶縁膜を十分に平坦化しながら画素領域114の遮光導電膜107下の層間絶

7

縁膜は平坦化しない状態にできるため、スミアを抑圧しつつ配線のショートや断線を防止する上で好ましい形状が実現できる。

【0030】なお、周辺回路領域113内にある遮光導電膜107は、周辺回路領域の遮光のために残しているが、フィルターなどの別の手段で遮光を行なうことにより、この周辺回路領域113内に遮光導電膜107のない構造とすることも可能である。

【0031】次に、本発明の第2の実施例の断面図を図4～図11に示す。図4は、半導体基板408内に光電変換、信号電荷の蓄積、転送、検出、増幅等に関わる拡散層402、406、407及びゲート電極401、405を全て形成した状態を示している。

【0032】次に、この上に第1の層間絶縁膜409を、たとえば常圧もしくは低圧CVD法により50nm～400nm程度シリコン酸化膜を堆積することにより形成する(図5)。この場合、リンがドーブされたシリコン酸化膜でも良い(以下、常圧CVD法により堆積されたリンを含むシリコン酸化膜をPSG膜と記す)。さらに、周辺回路領域412に配線導電膜410を、たとえばSiを1%程度含んだAlをスパッタ法などにより300nm～1000nm程度堆積してパターンニングすることにより形成する。このとき、必要な部分にはコンタクトホール411を開けて配線導電膜と拡散層やゲート電極との接続を行なう(図6)。なお、配線導電膜410は、WやWのシリサイドなどでも良い。

【0033】そして、全面に窒化シリコン膜または多結晶シリコン膜414を、たとえば窒化シリコン膜の場合はプラズマを用いたCVD法(以下、これにより形成した窒化シリコン膜をp-SiN膜と記す)や低圧CVD法(以下、これにより形成した窒化シリコン膜をSi₃N₄膜と記す)により、また多結晶シリコン膜の場合はスパッタ法などにより10nm～400nm程度堆積する(図7)。ただし、配線導電膜410がAlのように融点の低い金属の場合には、窒化シリコン膜414は低温で堆積できるp-SiN膜でなければならない。

【0034】次に、窒化シリコン膜または多結晶シリコン膜414の上層にシリコン酸化膜を含む第2の層間絶縁膜415を、たとえばプラズマを用いたCVD法によるシリコン酸化膜(以下、この膜をp-SiO膜と記す)やPSG膜、あるいはこれらの多層膜を200nm～1000nm程度堆積することにより形成する(図8)。この多層膜には窒化シリコン膜または多結晶シリコン膜が含まれていてもかまわないが、窒化シリコン膜または多結晶シリコン膜414の直上の層はシリコン酸化膜からなるものでなくてはならない。

【0035】次に、周辺回路領域412を覆うレジスト416をパターンニングする。このとき、レジスト416は、少なくとも周辺回路領域412内にある配線導電膜410を全て覆っていないとしない。そして、レジス

(5)

特開平5-29598

8

ト416のついた状態で画素領域413内に存在する第2の層間絶縁膜415をエッチングにより除去する(図9)。ここでは、窒化シリコン膜または多結晶シリコン膜414の直上の層はシリコン酸化膜からなっているので窒化シリコン膜または多結晶シリコン膜414がエッチングストッパーとなり、安定して第1の層間絶縁膜409と窒化シリコン膜または多結晶シリコン膜414のみを残すことができる。特に、膜414が窒化シリコン膜である場合には、これを残すことにより、窒化シリコン膜表面での光の反射を低減でき、感度を向上させることができる。

【0036】さらに、遮光導電膜417を、たとえばAlをスパッタ法などにより100nm～1000nm程度堆積してパターンニングすることにより形成する(図10)。

【0037】このような製造方法をとることにより、配線導電膜よりも上層でかつ遮光導電膜よりも下層に窒化シリコン膜または多結晶シリコン膜が存在する構造となる。そして、配線導電膜と遮光導電膜とを異なる材料で形成することができ、配線と遮光それぞれに最も適した材料を用いることができる。また、遮光導電膜417と半導体基板418の表面との距離は、このような製造方法をとらない場合に比べ、第2の層間絶縁膜415の分だけ小さくなっており、周辺回路領域412における寄生容量の増加を防ぎつつスミアを抑圧するうえで好ましい構造になっている。

【0038】なお、周辺回路領域412内にある遮光導電膜417は、周辺回路領域の遮光のために残しているが、フィルターなどの別の手段で遮光を行なうことにより、この周辺回路領域412内にある遮光導電膜417を除去することも可能である。

【0039】また、窒化シリコン膜または多結晶シリコン膜414を画素領域413内で除去することも可能である。このためには、図9の段階で、レジスト416もしくはレジスト416でパターンニングされた第2の層間絶縁膜415をマスクとして窒化シリコン膜または多結晶シリコン膜414をエッチングして除去すれば良い(図11)。こうすることにより、遮光導電膜417と半導体基板418の表面との距離は、窒化シリコン膜または多結晶シリコン膜414の分だけさらに小さくなり、スミアの抑圧に効果的である。

【0040】本発明の第3の実施例の断面図を図12～図20に示す。図12は、半導体基板1208内に光電変換、信号電荷の蓄積、転送、検出、増幅等に関わる拡散層1202、1206、1207及びゲート電極1201、1205を全て形成した状態を示している。

【0041】次に、この上に第1の層間絶縁膜1209を、たとえばPSG膜もしくは低圧CVD法によるシリコン酸化膜を50nm～400nm程度堆積することにより形成する(図13)。

50

9

【0042】そして、全面に窒化シリコン膜または多結晶シリコン膜1214を、たとえば窒化シリコン膜の場合は $p-SiN$ 膜あるいは Si_3N_4 膜を、また多結晶シリコン膜の場合はスパッタ法などにより10nm~400nm程度堆積する(図14)。

【0043】次に、窒化シリコン膜または多結晶シリコン膜1214の上層にシリコン酸化膜を含む第2の層間絶縁膜1215を、たとえば $p-SiO$ 膜やPSG膜や低圧CVD法によるシリコン酸化膜を、あるいはこれらの多層膜を100nm~500nm程度堆積することにより形成する(図15)。

【0044】この多層膜には窒化シリコン膜または多結晶シリコン膜が含まれていてもかまわないが、窒化シリコン膜または多結晶シリコン膜1214の直上の層はシリコン酸化膜からなるものでなくてはならない。

【0045】さらに、周辺回路領域1212に配線導電膜1210を、たとえばSiを1%程度含んだAlをスパッタ法などにより300nm~1000nm程度堆積してパターニングすることにより形成する。このとき、必要な部分にはコンタクトホール1211を開けて配線導電膜と拡散層やゲート電極との接続を行なう(図16)。なお、配線導電膜1210は、WやWのシリサイドなどでも良い。

【0046】次に、第3の層間絶縁膜1216を、たとえば $p-SiO$ 膜やPSG膜、あるいはこれらの多層膜を200nm~1000nm程度堆積することにより形成する(図17)。

【0047】次に、周辺回路領域1212を覆うレジスト1217をパターニングする。このとき、レジスト1217は、少なくとも周辺回路領域1212内にある配線導電膜1210を全て覆っていないとではない。そして、レジスト1217のついた状態で画素領域1213内に存在する第2の層間絶縁膜1215及び第3の層間絶縁膜1216をエッチングにより除去する(図18)。

【0048】ここでは、窒化シリコン膜または多結晶シリコン膜1214の直上の層はシリコン酸化膜からなっているので窒化シリコン膜または多結晶シリコン膜1214がエッチングストッパーとなり、安定して第1の層間絶縁膜1209と窒化シリコン膜または多結晶シリコン膜1214のみを残すことができる。特に、膜1214が窒化シリコン膜である場合には、これを残すことにより、窒化シリコン膜表面での光の反射を低減でき、感度を向上させることができる。

【0049】さらに、遮光導電膜1217を、たとえばAlをスパッタ法などにより300nm~1000nm程度堆積してパターニングすることにより形成する(図19)。

【0050】このような製造方法をとることにより、全てのゲート電極よりも上層でかつ配線導電膜と遮光導電

(6)

特開平5-29598

10

膜の双方よりも下層に窒化シリコン膜または多結晶シリコン膜が存在する構造となる。そして、配線導電膜と遮光導電膜とを異なる材料で形成することができ、配線と遮光それぞれに最も適した材料を用いることができる。また、遮光導電膜1217と半導体基板1208の表面との距離は、このような製造方法をとらない場合に比べ、第2の層間絶縁膜1215及び第3の層間絶縁膜1216の分だけ小さくなっており、周辺回路領域1212における寄生容量の増加を防ぎつつスミアを抑圧するうえで好ましい構造になっている。

【0051】さらには、第1の層間絶縁膜1209に対しては平坦化処理を行わず、第2の層間絶縁膜1215に対してのみ平坦化処理を行なうことにより、周辺回路領域1212の配線導電膜1210下の層間絶縁膜を十分に平坦化しながら画素領域1213の遮光導電膜1217下の層間絶縁膜は平坦化しない状態にできるため、スミアを抑圧しつつ配線のショートや断線を防止する上で好ましい形状が実現できる。この目的のためには、たとえば第2の層間絶縁膜1215を常圧CVD法により堆積されたボロンとリンを含むシリコン酸化膜(以下、このシリコン酸化膜をBPSG膜と記する)を用いて形成するようにする。BPSG膜は比較的低温(750℃~900℃)でのガラスフローにより良く平坦化されると共に、フッ酸を含むエッチング液によるウェットエッチ速度も早く、第2の層間絶縁膜1215の除去に都合がよい。

【0052】なお、周辺回路領域1212内にある遮光導電膜1217は、周辺回路領域の遮光のために残しているが、フィルターなどの別の手段で遮光を行なうことにより、この周辺回路領域1212内にある遮光導電膜1217を除去することも可能である。

【0053】また、窒化シリコン膜または多結晶シリコン膜1214を画素領域1213内で除去することも可能である。このためには、図18の段階で、レジスト1217もしくはレジスト1217でパターニングされた第2の層間絶縁膜1215及び第3の層間絶縁膜1216をマスクとして窒化シリコン膜または多結晶シリコン膜1214をエッチングして除去すれば良い(図20)。こうすることにより、遮光導電膜1217と半導体基板1208の表面との距離は、窒化シリコン膜または多結晶シリコン膜1214の分だけさらに小さくなり、スミアの抑圧に効果的である。

【0054】本発明の第4の実施例の断面図を図21~図27に示す。図21は、半導体基板1208内に光電変換、信号電荷の蓄積、転送、検出、増幅等に関わる拡散層2102、2106、2107及びゲート電極2101、2105を全て形成した状態を示している。

【0055】次に、この上に第1の層間絶縁膜1209を、たとえばPSG膜もしくは低圧CVD法によるシリコン酸化膜を50nm~400nm程度堆積することに

11

より形成する(図22)。

【0056】そして、全面に窒化シリコン膜または多結晶シリコン膜2114を、たとえば窒化シリコン膜の場合は $p-SiN$ 膜あるいは Si_3N_4 膜を、また多結晶シリコン膜の場合はスパッタ法などにより10nm~400nm程度堆積する(図23)。

【0057】次に、窒化シリコン膜または多結晶シリコン膜2114の上層にシリコン酸化膜を含む第2の層間絶縁膜2115を、たとえば $p-SiO$ 膜やPSG膜や低圧CVD法によるシリコン酸化膜を、あるいはこれらの多層膜を100nm~500nm程度堆積することにより形成する(図24)。

【0058】この多層膜には窒化シリコン膜または多結晶シリコン膜が含まれていてもかまわないが、窒化シリコン膜または多結晶シリコン膜2114の直上の層はシリコン酸化膜からなるものでなくてはならない。

【0059】次に、周辺回路領域2112を覆うレジスト2116をパターンニングする。そして、レジスト2116のついた状態で画素領域2113内に存在する第2の層間絶縁膜2115をエッチングにより除去する(図25)。ここでは、窒化シリコン膜または多結晶シリコン膜2114の直上の層はシリコン酸化膜からなっているので窒化シリコン膜または多結晶シリコン膜2114がエッチングストッパーとなり、安定して第1の層間絶縁膜2109と窒化シリコン膜または多結晶シリコン膜2114のみを残すことができる。特に、膜2114が窒化シリコン膜である場合には、これを残すことにより、窒化シリコン膜表面での光の反射を低減でき、感度を向上させることができる。

【0060】さらに、配線と遮光とを兼ねた導電膜2117を、たとえばSiを1%程度含んだAlをスパッタ法などにより300nm~1000nm程度堆積してパターンニングすることにより形成する(図26)。この導電膜2117は、周辺回路領域2112においては配線として働き、必要な部分にはコンタクトホール2111を開けて拡散層やゲート電極との接続を行なう一方、画素領域2113においては、遮光導電膜として働く。なお、配線と遮光とを兼ねた導電膜2117は、WやWのシリサイドなどでも良い。

【0061】このような製造方法をとることにより、全てのゲート電極よりも上層でかつ配線と遮光とを兼ねた導電膜よりも下層に窒化シリコン膜または多結晶シリコン膜が存在する構造となる。そして、配線と遮光とを兼ねた導電膜2117と半導体基板2108の表面との距離は、このような製造方法をとらない場合に比べ、第2の層間絶縁膜2115の分だけ小さくなっており、周辺回路領域2112における寄生容量の増加を防ぎつつスミアを抑圧するうえで好ましい構造になっている。

【0062】さらには、第1の層間絶縁膜2109に対しては平坦化処理を行わず、第2の層間絶縁膜211

(7)

特開平5-29598

12

5に対してのみ平坦化処理を行なうことにより、周辺回路領域2112内にある配線と遮光とを兼ねた導電膜2117下の層間絶縁膜を十分に平坦化しながら画素領域2113内にある配線と遮光とを兼ねた導電膜2117下の層間絶縁膜は平坦化しない状態にできるため、スミアを抑圧しつつ配線のショートや断線を防止する上で好ましい形状が実現できる。この目的のためには、たとえば第2の層間絶縁膜2115をBPSG膜を用いて形成するようにすると良い。

10 【0063】なお、周辺回路領域2112内の遮光は、配線と遮光とを兼ねた導電膜2117よりも上層に周辺回路領域2112内のみ遮光導電膜を形成したり、フィルターなどの手段により行なうことが可能である。

【0064】また、窒化シリコン膜または多結晶シリコン膜2114を画素領域2113内で除去することも可能である。このためには、図25の段階で、レジスト2116もしくはレジスト2116でパターンニングされた第2の層間絶縁膜2115をマスクとして窒化シリコン膜または多結晶シリコン膜2114をエッチングして除去すれば良い(図27)。こうすることにより、画素領域2113内にある配線と遮光とを兼ねた導電膜2117と半導体基板2108の表面との距離は、窒化シリコン膜または多結晶シリコン膜2114の分だけさらに小さくなり、スミアの抑圧に効果的である。

【0065】ここまで述べてきた実施例においては、周辺回路領域における配線導電膜とゲート電極や拡散層との接続に用いられるコンタクトホール内部の側壁には窒化シリコン膜が露出していた。このことは、図28に示すような問題点を生ずる場合がある。同図は、半導体基板2805内に拡散層2804を形成した後、第1の層間絶縁膜2803、窒化シリコン膜または多結晶シリコン膜2802、第2の層間絶縁膜2801を堆積し、さらに配線導電膜と拡散層2804との接続を行なうためのコンタクトホール2806を形成したところである。このとき、拡散層2804の表面に付着しているシリコン酸化膜などの物質を除去し良好なコンタクト特性を実現するために、配線導電膜を堆積する直前にフッ酸系の液を含むエッチング液によりウエットエッチを行なうのが一般的であるが、このウエットエッチの量によっては、第1の層間絶縁膜2803及び第2の層間絶縁膜2801がサイドエッチされ、図28に示すように窒化シリコン膜または多結晶シリコン膜2802がコンタクトホール内部に突出してオーバーハング形状を呈することがある。このようなオーバーハング形状がコンタクトホール内部に生ずると、配線導電膜がコンタクトホール内部で断線を起こしてしまうため問題となる。以下、このような問題を防止するための本発明の第5の実施例を図29~図35に示す。

【0066】図29は、半導体基板2908内に光電変換、信号電荷の蓄積、転送、検出、増幅等に関わる拡散

13

層2902, 2906, 2907及びゲート電極2901, 2905を形成した後、さらにその上に第1の層間絶縁膜2909を、たとえばPSG膜もしくは低圧CVD法によるシリコン酸化膜を50nm~400nm程度堆積することにより形成し、そして全面に窒化シリコン膜または多結晶シリコン膜2914を、たとえば窒化シリコン膜の場合はp-SiN膜あるいはSi₃N₄膜を、また多結晶シリコン膜の場合はスパッタ法などにより10nm~400nm程度堆積した状態を示している。

【0067】次に、周辺回路領域2912内のコンタクトホール2912の直径よりも大きな開口パターンを持ち、その開口の端が全てのコンタクトホールと重ならないようなパターンのレジスト2910を形成する(図30)。

【0068】さらに、このレジスト2910をマスクとして窒化シリコン膜または多結晶シリコン膜2914をエッチし、コンタクトホール形成位置2915に存在する窒化シリコン膜または多結晶シリコン膜2914を除去する(図31)。

【0069】次に、窒化シリコン膜または多結晶シリコン膜2914の上に第2の層間絶縁膜2916を、たとえばp-SiO₂膜やPSG膜や低圧CVD法によるシリコン酸化膜あるいはこれらの多層膜を100nm~500nm程度堆積することにより形成する(図32)。この多層膜には窒化シリコン膜または多結晶シリコン膜が含まれていてもかまわないが、窒化シリコン膜または多結晶シリコン膜2914の直上の層はシリコン酸化膜からなるものでなくてはならない。

【0070】次に、周辺回路領域2912を覆うレジスト2917をパターンニングする。そして、レジスト2917のついた状態で画素領域2913内に存在する第2の層間絶縁膜2916を窒化シリコン膜または多結晶シリコン膜2914をエッチングストッパーとしてエッチングにより除去する(図33)。

【0071】さらに、配線と遮光とを兼ねた導電膜2918を、たとえばSiを1%程度含んだAlをスパッタ法などにより300nm~1000nm程度堆積してパターンニングすることにより形成する(図34)。この導電膜2918は、周辺回路領域2912においては配線として働き、必要な部分にはコンタクトホール2920を開けて拡散層やゲート電極との接続を行なう一方、画素領域2913においては、遮光導電膜として働く。なお、配線と遮光とを兼ねた導電膜2918は、WやWのシリサイドなどでも良いのはいうまでもない。

【0072】このような製造方法をとることにより、コンタクトホール2920内部の側壁に窒化シリコン膜または多結晶シリコン膜2914が露出しないため、図28で生じたような問題を解決でき、かつ本発明のその他の利点はそのまま保たれる。また、この他の実施例と同様に、窒化シリコン膜または多結晶シリコン膜2914を画素領域2913内で除去することも可能である。このた

(8)

特開平5-29598

14

めには、図33の段階で、レジスト2917もしくはレジスト2917でパターンニングされた第2の層間絶縁膜2916をマスクとして窒化シリコン膜または多結晶シリコン膜2914をエッチングして除去すれば良い(図35)。

【0073】なお、図29から図35に示した例においては配線と遮光とを兼ねた導電膜を用いた場合で説明したが、配線導電膜と遮光導電膜とを別層で形成した場合でも全く同じ効果が得られることはいうまでもない。

【0074】本発明で示した構造においては、例えば図1に示すように、周辺回路領域113における半導体基板108の表面から遮光導電膜107の表面までの厚さは、画素領域114における半導体基板108の表面から遮光導電膜107の表面までの厚さよりも大きい。これは、図26や図27のように、遮光導電膜を配線導電膜で兼ねている場合でも同じことが言える。このため、例えば図1に示す断面の素子に有機物質3611(例えば、カラー対応の撮像素子に用いられる色フィルタや、入射光を集光して感度を向上するためマイクロレンズ)を塗布、形成すると、図36に示すように、周辺回路領域3613と画素領域3614との間に段差3620が生じる。この段差の影響により、有機物質3611は、段差の近傍において、その膜厚や形状が下地が平坦な場合のそれとは異なる遷移領域3621が生じる。従って、このような遷移領域3621に光感度を持つ画素を配置すると、この領域では光の透過率の違いによる感度ばらつきや、マイクロレンズの集光性能低下、集光方向のずれなどにより、感度やスミアの劣化が起こる。このような問題点を防止するには、段差から一定の距離以内にある画素を光感度を持たない画素(例えばオブティカルブラックなどのダミー画素)とし、これより離れたところにある画素を真に光感度を持つ画素とすればよい。

【0075】実際の撮像素子では、遷移領域3621の幅は約2μmの段差に対して段差の端から10μm程度である。従って、段差の高さの5倍程度の幅を遷移領域と考えて、この領域には光感度を持たないダミーの画素を配置すれば良い。

【0076】撮像素子の方式としてフレームインターライントランスファー方式をとった場合、垂直転送CCDの転送速度を早めるために、垂直転送CCDのゲート電極に配線導電膜を並列に接続することにより垂直転送CCDの時定数を下げる手法がある。このような手法と本発明の構造、製造方法とは両立する。すなわち、図21~図27に示した実施例において、画素領域2113で配線と遮光とを兼ねた導電膜2117を垂直転送CCDのゲート電極2105に接続すれば、垂直転送CCDのシャント配線と遮光とを兼ねて用いることができ、本発明の持つ利点をなんら損なうことなくフレームインターライントランスファー方式にも適用できる。

【0077】また、本発明の素子構造、製造方法は、半

15

導体基板内に作られる拡散層構造には依存しない。したがって、本発明の効果を実現する上で、本実施例に掲げた半導体基板内の拡散層構造に限定されることはない。

【0078】

【発明の効果】本発明によれば、配線導電膜と遮光導電膜を別の層で作ることができるためそれぞれに対し最適な材料を用いることができ、また、遮光を必要とする画素領域に於ける遮光導電膜下の層間絶縁膜厚を小さくできるのに対し、周辺回路領域では配線導電膜下の層間絶縁膜厚を十分に大きくして配線導電膜とゲート電極との間の容量を小さくできると共に、平坦化処理を十分に行なうことができる。この結果、低スミア、低雑音でかつ高速駆動が可能であり、しかも配線間のショートや断線が少なく信頼性の高い固体撮像素子を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の断面図。

【図2】一従来例の断面図。

【図3】層間絶縁膜の平坦化と遮光性の関係を示す断面図。

【図4】本発明の第2の実施例の断面図。

【図5】本発明の第2の実施例の断面図。

【図6】本発明の第2の実施例の断面図。

【図7】本発明の第2の実施例の断面図。

【図8】本発明の第2の実施例の断面図。

【図9】本発明の第2の実施例の断面図。

【図10】本発明の第2の実施例の断面図。

【図11】本発明の第2の実施例の断面図。

【図12】本発明の第3の実施例の断面図。

【図13】本発明の第3の実施例の断面図。

【図14】本発明の第3の実施例の断面図。

【図15】本発明の第3の実施例の断面図。

【図16】本発明の第3の実施例の断面図。

【図17】本発明の第3の実施例の断面図。

【図18】本発明の第3の実施例の断面図。

【図19】本発明の第3の実施例の断面図。

【図20】本発明の第3の実施例の断面図。

【図21】本発明の第4の実施例の断面図。

【図22】本発明の第4の実施例の断面図。

【図23】本発明の第4の実施例の断面図。

【図24】本発明の第4の実施例の断面図。

【図25】本発明の第4の実施例の断面図。

【図26】本発明の第4の実施例の断面図。

【図27】本発明の第4の実施例の断面図。

【図28】コンタクトホール内部の側壁に窒化シリコン膜または多結晶シリコン膜が露出している場合の問題点を示す断面図。

(9)

特開平5-29598

16

【図29】本発明の第5の実施例の断面図。

【図30】本発明の第5の実施例の断面図。

【図31】本発明の第5の実施例の断面図。

【図32】本発明の第5の実施例の断面図。

【図33】本発明の第5の実施例の断面図。

【図34】本発明の第5の実施例の断面図。

【図35】本発明の第5の実施例の断面図。

【図36】周辺回路領域と画素領域の間の段差の影響を示す断面図。

10 【符号の説明】

101, 410, 1210…配線導電膜、102, 409, 1209, 2109, 2803, 2909…第1の層間絶縁膜、103, 415, 1215, 2115, 2801, 2916…第2の層間絶縁膜、104, 414, 1214, 2114, 2802, 2914…窒化シリコン膜又は多結晶シリコン膜、105, 401, 1201, 2101, 2901…ゲート電極、106, 402, 1202, 2102, 2902…MOSトランジスタのソース或はドレインをなす第二導電形拡散層、107, 302, 417, 1217, 2117, 2918…遮光導電膜、108, 304, 408, 418, 1208, 2108, 2908…第一導電形の半導体基板、109, 407, 1207, 2107, 2907…受光蓄積部をなす第二導電形拡散層、110, 305, 406, 1206, 2106, 2906…垂直転送CCDの転送チャネルとなる第二導電形拡散層、111, 301, 405, 1205, 2105, 2905…垂直転送CCDを駆動するゲート電極、112, 1216…第3の層間絶縁膜、113, 412, 1212, 2112, 2912, 3613…周辺回路領域、114, 413, 1213, 2113, 2913, 3614…画素領域、115, 116, 403, 404, 1203, 1204, 2103, 2104, 2903, 2904…ゲート絶縁膜、117, 411, 1211, 2911, 2920…コンタクトホール、118…開口領域、201…熱酸化膜、202…遮光膜、203…第1ポリシリコン電極、205…N型埋め込み層、206…P+領域(チャネルストッパー)、207…N型領域、208…Pウェル、209…遮光膜202の端部とシリコン基板210の表面との間の距離、210…シリコン基板、306…平坦化処理を行なわなかったときの層間絶縁膜の膜厚、307…平坦化処理を行なったときの層間絶縁膜の膜厚、416, 1218, 2116, 2910, 2917…レジスト、2804…拡散層、2805…半導体基板、2915…コンタクトホール形成位置、3611…有機物質、3620…段差、3621…遷移領域。

30

40

(10)

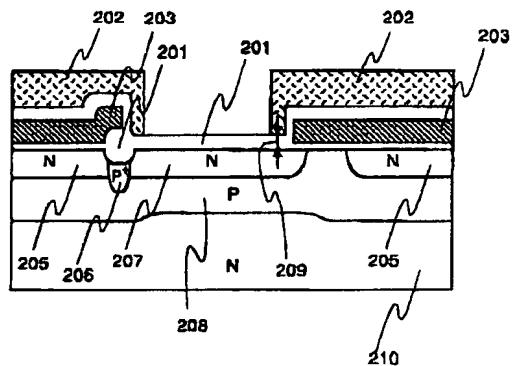
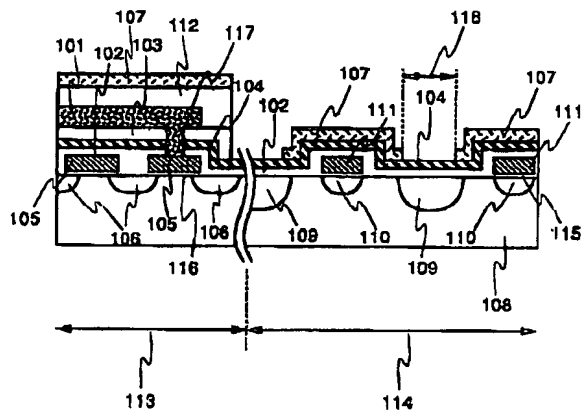
特開平5-29598

【図1】

【図2】

(図1)

(図2)

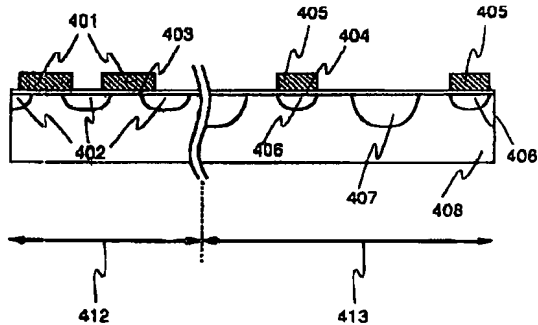
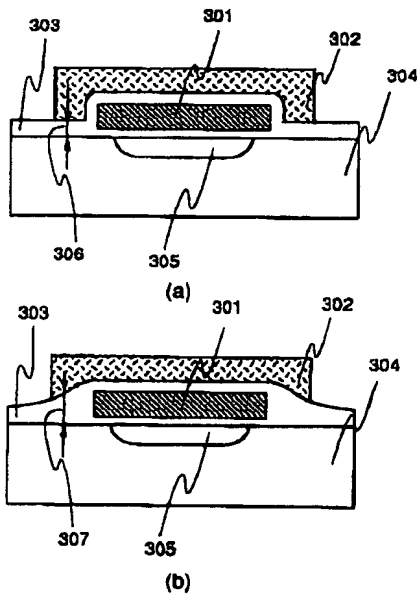


【図3】

【図4】

(図3)

(図4)

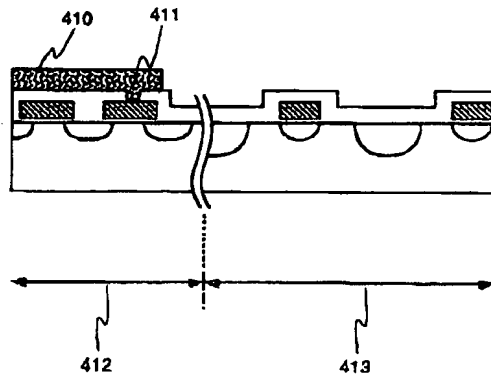
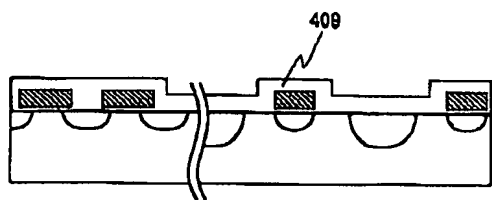


【図6】

(図6)

【図5】

(図5)

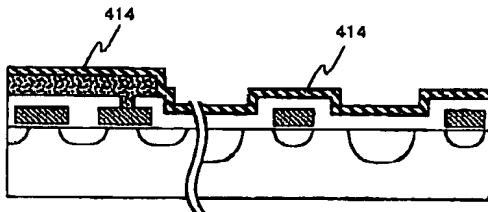


(11)

特開平5-29598

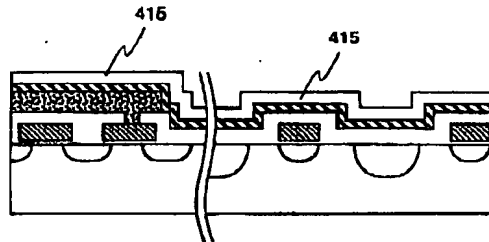
【図7】

(図7)



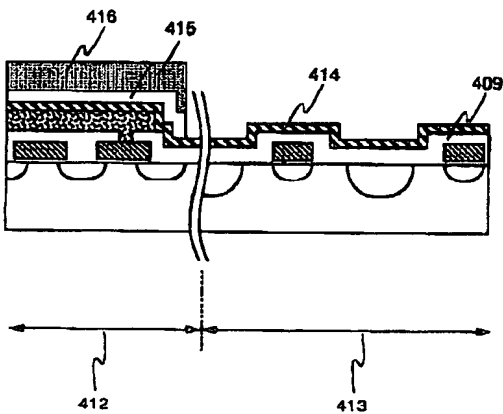
【図8】

(図8)



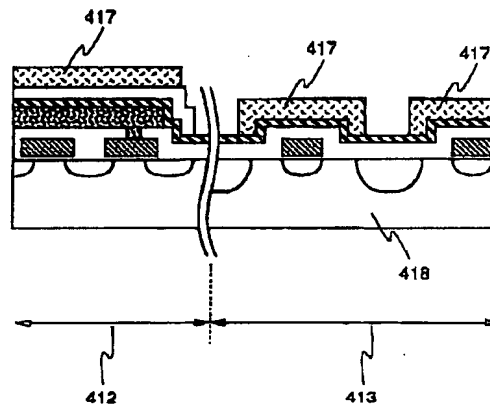
【図9】

(図9)



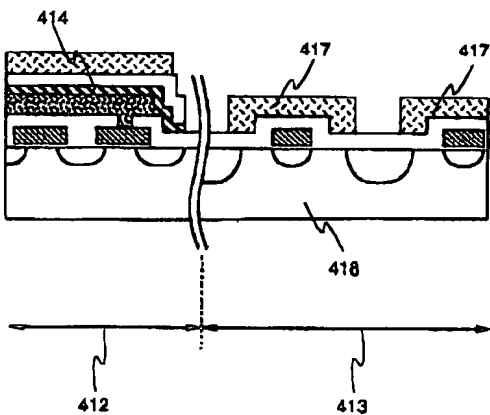
【図10】

(図10)



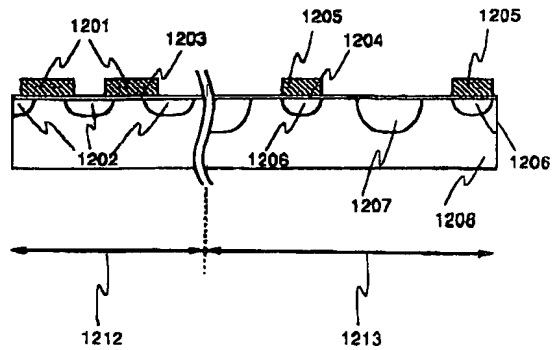
【図11】

(図11)



【図12】

(図12)

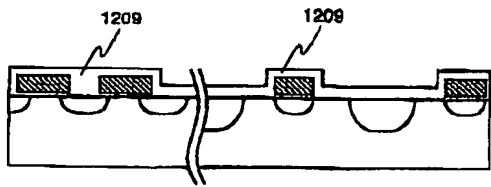


(12)

特開平5-29598

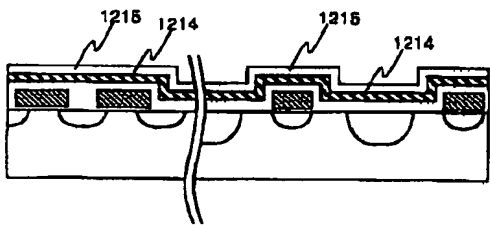
【図13】

(図13)



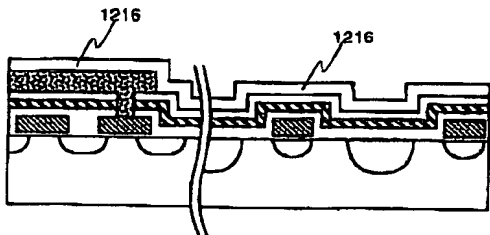
【図15】

(図15)



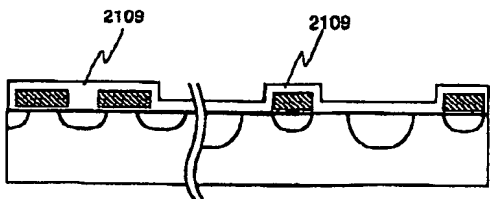
【図17】

(図17)



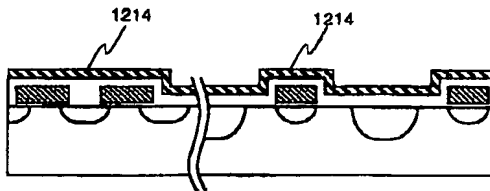
【図22】

(図22)



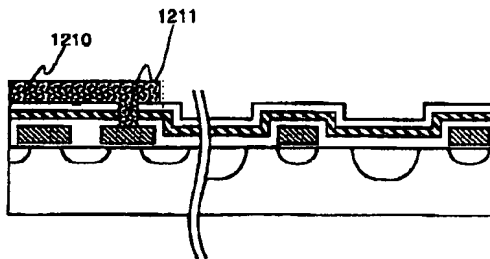
【図14】

(図14)



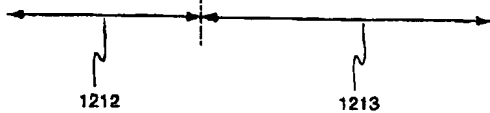
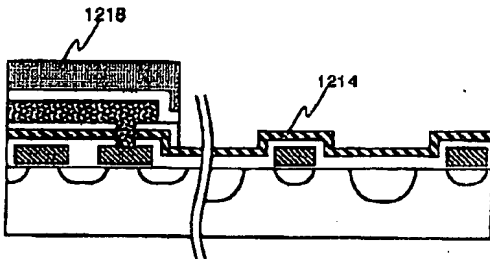
【図16】

(図16)



【図18】

(図18)

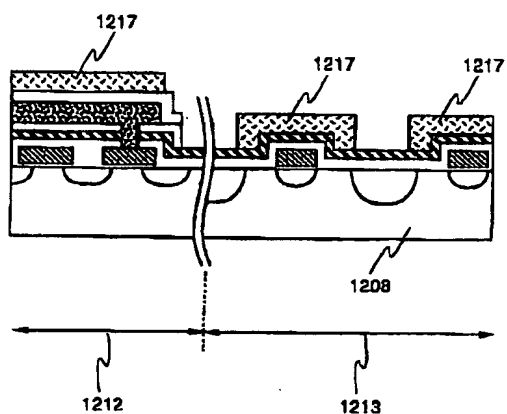


(13)

特開平5-29598

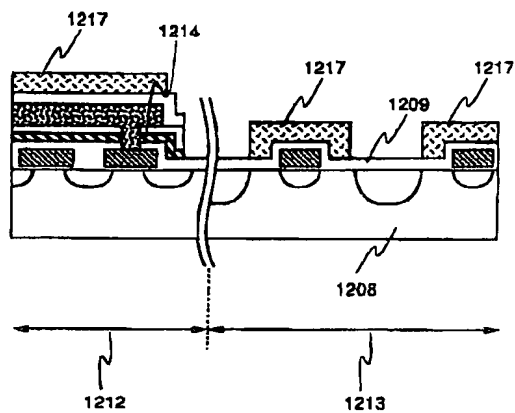
【図19】

(図19)



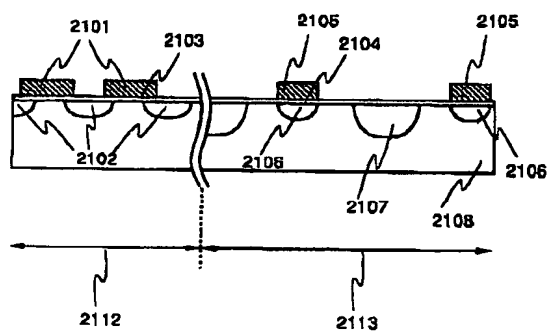
【図20】

(図20)



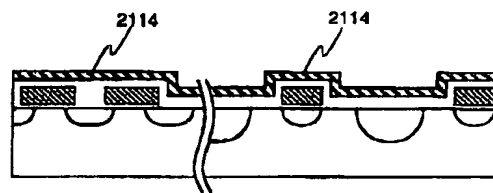
【図21】

(図21)



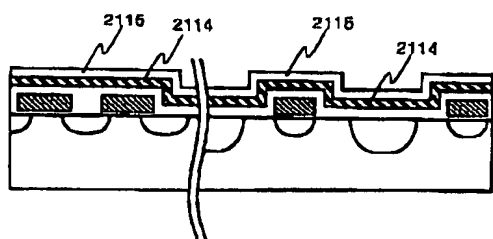
【図23】

(図23)



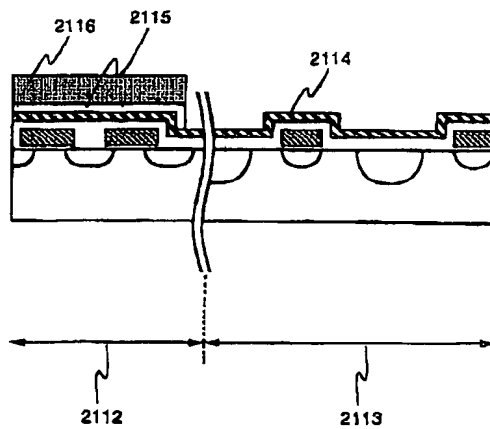
【図24】

(図24)



【図25】

(図25)

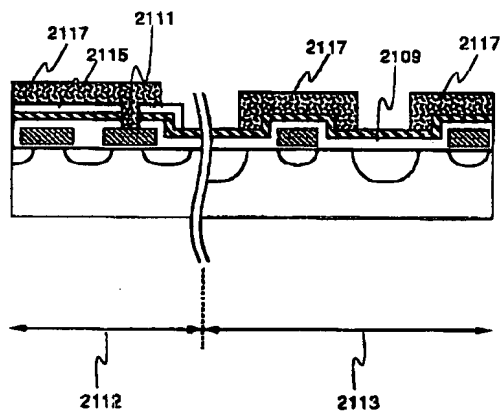


(14)

特開平5-29598

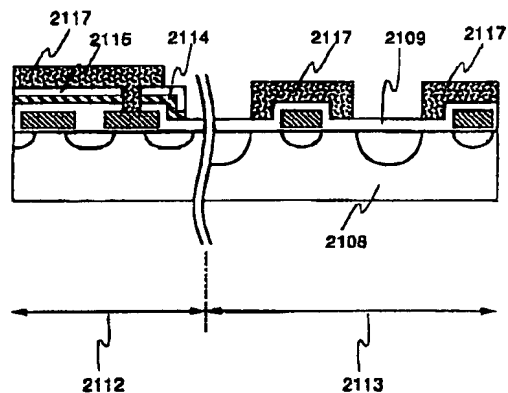
【図26】

(図26)



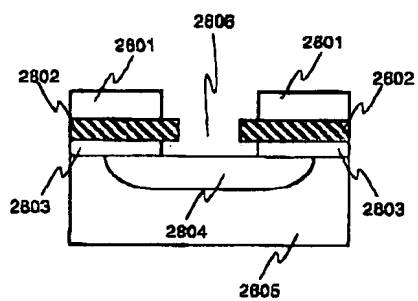
【図27】

(図27)



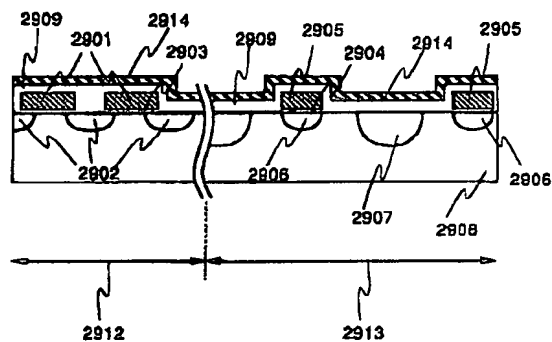
【図28】

(図28)



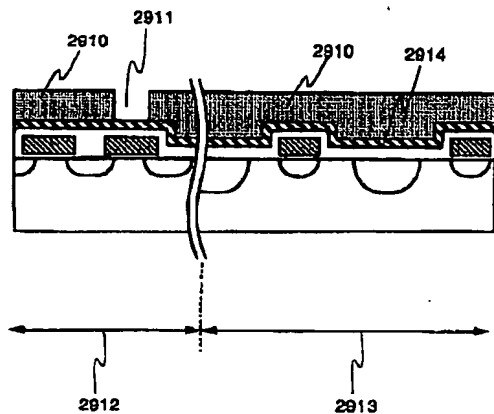
【図29】

(図29)



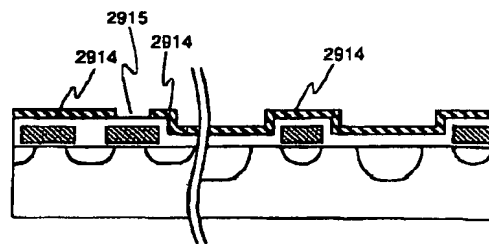
【図30】

(図30)



【図31】

(図31)

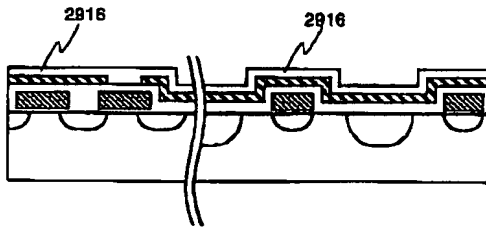


(15)

特開平5-29598

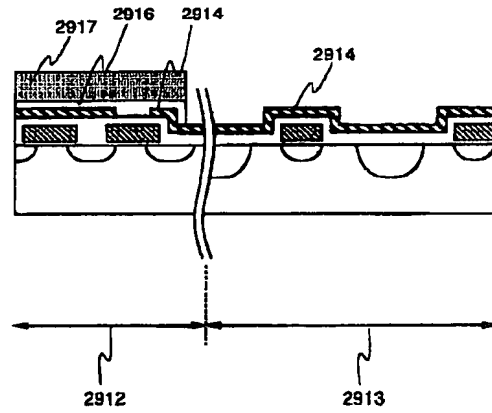
【図32】

(図32)



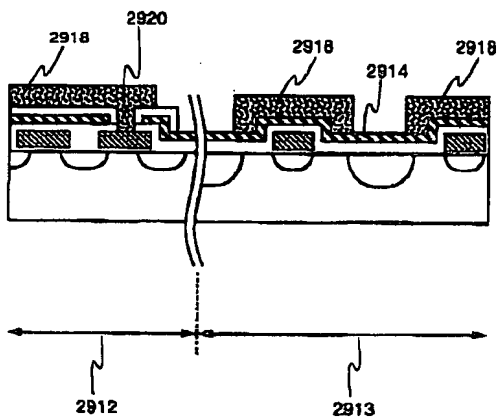
【図33】

(図33)



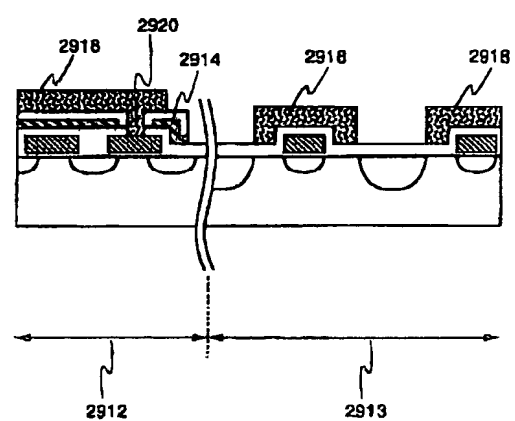
【図34】

(図34)



【図35】

(図35)



(16)

特開平5-29598

【図36】

(図36)

